

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) CONVERSION CIRCUIT FOR STATE CHANGE DISPLAY

(11) 2-128241 (A) (43) 16.5.1990 (19) JP

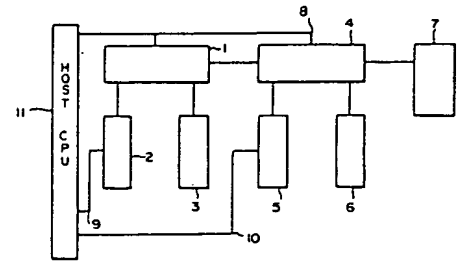
(21) Appl. No. 63-281298 (22) 9.11.1988

(71) NEC CORP (72) HIROTAKE HIYODOU

(51) Int. Cl.⁵. G06F11/30, G06F3/14

PURPOSE: To independently perform only a state change conversion processing and to improve a processing speed by performing bit conversion by means of hardware.

CONSTITUTION: When a conversion control signal 8 is detected, a state change conversion address generation circuit 1 generates a conversion address based on a state change table 2 and a conversion address table 3, and outputs the address to a state change conversion circuit 4, which performs logical operation by the logical operation condition of a conversion table 6 and a present state table address to be referred, and decides color information of a display memory 7. The decision performs bit conversion by hardware. Then, color information is written in the display memory 7 based on the display memory address of the conversion table 6. Thus, only the state change conversion processing can independently be performed and the processing can be performed at a high speed.



5: present state table

(54) BUS CONTROL CIRCUIT

(11) 2-128242 (A) (43) 16.5.1990 (19) JP

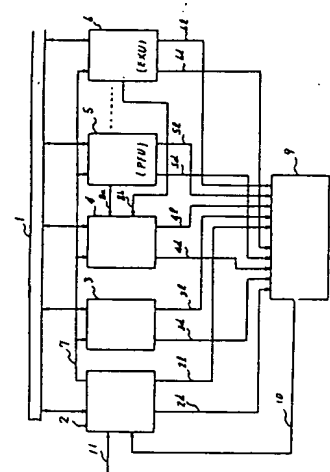
(21) Appl. No. 63-283321 (22) 8.11.1988

(71) NEC IBARAKI LTD (72) TAKUMI YAMAZAKI

(51) Int. Cl.⁵. G06F11/30, G06F13/00

PURPOSE: To immediately detect injustice bus transfer by setting to be errors except for a case when the relation of bus drive signals and bus load signals shows 0:0 (no bus transfer), 1:1 or 1:n.

CONSTITUTION: When more than two of the bus drive signals 2d-6d are simultaneously turned on in a bus congestion detection circuit 9, when only one of the bus drive signals 2d-6d is turned on and all the bus load signals 2l-6l are turned off, furthermore, when more than one of the bus load signals 2l-6l are turned on and all the bus drive signals 2d-6d are turned off, namely, when the ON-relation of the bus drive signals 2d-6d and the bus load signals 2l-6l is not 1:n ($n=1-5$), an error interruption signal 10 is generated for a micro program control unit 2 and it is inserted into a micro program sequence. Thus, injustice data transfer can immediately be detected.



1: bus, 3: interface unit, 4: cache unit, 5: prefetch unit, 6: operation performance unit

(54) CPU HISTORY CIRCUIT FOR PARALLEL COMPUTER

(11) 2-128243 (A) (43) 16.5.1990 (19) JP

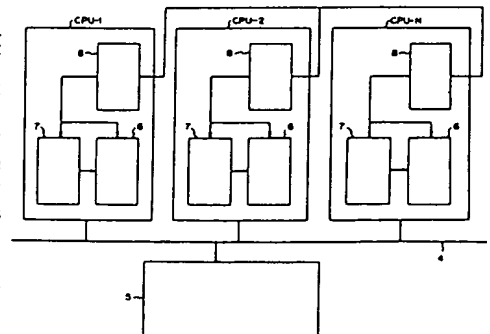
(21) Appl. No. 63-281308 (22) 9.11.1988

(71) AGENCY OF IND SCIENCE & TECHNOL (72) HIDEO MIYAKE

(51) Int. Cl.⁵. G06F11/34, G06F15/16

PURPOSE: To efficiently debug and evaluate a parallel computer by storing the collection of histories with respect to the performance of respective CPU and simultaneously starting the collection of the histories by means of clock control.

CONSTITUTION: In respective CPUs 1-3 of the parallel computer system, history memory means 6 store contents showing the performance states of respective CPUs 1-3, and access means 7 store addresses which access the history memory means 6 and change the addresses. History collection simultaneous start means 8 simultaneously perform the write control of write data into the history memory means 6 in all CPUs 1-3 and the address start of the access means 7. Thus, the efficiency of debugging and evaluation in the parallel computer can be improved.



4: common bus, 5: main memory

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-128243

⑬ Int. Cl.⁵

G 06 F 11/34
15/16

識別記号

4 5 0 C
D

庁内整理番号

7343-5B
6745-5B

⑭ 公開 平成2年(1990)5月16日

審査請求 有 請求項の数 5 (全7頁)

⑮ 発明の名称 並列計算機のCPUヒストリ回路

⑯ 特 願 昭63-281308

⑰ 出 願 昭63(1988)11月9日

⑱ 発 明 者 三 宅 英 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

明 細 書

1. 発明の名称

並列計算機のCPUヒストリ回路

2. 特許請求の範囲

1) 複数のCPU(1, 2, 3)が共通バス(4)を介してメインメモリ(5)に接続される並列計算機システムの各CPUにおいて、

各CPUの実行状態を示す内容を格納するヒストリメモリ手段(6)と、

前記ヒストリメモリ手段(6)をアクセスするアドレスを格納するとともにそのアドレスを変化させるアクセス手段(7)と、

前記複数の前記CPU内にあるヒストリメモリ手段(6)への書き込みデータの書き込み制御、及び前記アクセス手段(7)のアドレス開始を同時に行うヒストリ収集同時開始手段(8)を有することを特徴とする並列計算機のCPUヒストリ回路。

2) 前記ヒストリ収集同時開始手段(8)は、前記ヒストリメモリ手段(6)の書き込みと、アクセス手段(7)の先頭アドレスのセッティングを共通クロックによって同時に行うことを特徴とする請求項1記載の並列計算機のCPUヒストリ回路。

3) 前記ヒストリ収集同時開始手段(8)は、各CPU内に入力するクロック信号とヒストリメモリ手段(16)がヒストリを収集する与否かの状態を記憶するフラグ信号とのアンドをとるアンド回路(21)を設け、前記フラグの値を制御することにより、前記アクセス手段(7)の値を所定値にリセットし、その後、前記クロック信号を前記フラグ信号の制御によって供給しヒストリの収集を行うことを特徴とする並列計算機のCPUヒストリ回路。

4) 前記ヒストリ収集同時開始手段(8)は前記フラグ信号の制御により前記クロック信号の前記アンド回路(21)からの出力を一旦停止してから前記アクセス手段(7)をリセットすること

を特徴とする請求項3記載の並列計算機のCPUヒストリ回路。

5) 複数のCPU(1, 2, 3...)が共通バス(4)を介してメインメモリ(5)接続される並列計算機システムの各CPUにおいて、

各CPUの実行状態を示す内容を格納するヒストリメモリ手段(6)と、

前記ヒストリメモリ手段をアクセスするアドレスをセットするアドレスレジスタ手段(17)と、

前記アドレスレジスタ手段(17)の内容を変更し、アドレスカウンタを形成するインクリメント手段(18)と、

前記複数のCPU内にあるヒストリメモリ手段(6)への書き込みデータの書き込み制御、及び前記アドレスレジスタのアドレス開始を同時に行うヒストリ収集同時開始手段(8)を有することを特徴とする並列計算機のCPUヒストリ回路。

〔産業上の利用分野〕

本発明は、共通バスに複数のCPUが接続されている並列計算機システムに係り、更に詳しくはCPU内の実行のヒストリをヒストリメモリに収集するための並列計算機のCPUヒストリ回路に関する。

集積化技術の発展に伴い、複数のCPUを共通バスに接続し、大きな仕事を各CPUに分散して実行する並列計算機が構築されるようになってきた。このような並列計算機においては、ある時刻においてできるだけ多くのCPUが実行していることが望ましい。一般に1つの仕事をCPUで分散して実行する場合には、1つのCPUから共通バスを介して他のCPUにデータを伝送し実行するため、通信競合があり、従って複数のCPUを常に同時に稼働することは一般に難しい。このような並列計算機において、各CPUがどのような動作を実行しているかというヒストリを観測することは極めて重要である。特に各CPUが正常に動作しているかどうかを調べるデバッキング或いは

3. 発明の詳細な説明

〔概 要〕

CPU内の実行のヒストリをヒストリメモリに収集するための並列計算機のCPUヒストリ回路に関し、

各CPUの実行に対するヒストリの収集をヒストリメモリに格納し、クロック制御によりヒストリの収集を同時に開始することを可能とすることを目的とし、

複数のCPUが共通バスを介してメインメモリに接続される並列計算機システムの各CPUにおいて、各CPUの実行状態を示す内容を格納するヒストリメモリ手段と、前記ヒストリメモリ手段をアクセスするアドレスを格納するとともにそのアドレスを変化させるアクセス手段と、前記複数のCPU内にあるヒストリメモリ手段への書き込みデータの書き込み制御、及び前記アクセス手段のアドレス開始を同時に行うヒストリ収集同時開始手段を有するように構成する。

並列計算機の性能を評価する場合等において、各CPUがどのような命令をどの時点で実行しているかというヒストリをヒストリメモリに格納し、そのヒストリメモリの内容を適当な時間に表示することが重要となる。

〔従来の技術〕

従来このような並列計算機においては、各CPU内にあるローカルメモリを用いて各CPUが実行した命令を記録し、各ローカルメモリに格納された命令集合を適当な時間に収集し、それを解析することにより各CPUのヒストリの収集を行っている。

〔発明が解決しようとする課題〕

従来この種の並列計算機のヒストリ収集方式は、各CPU内にあるローカルメモリを用いていたため、デバック時あるいは評価時において、ヒストリの収集を統一的に表示装置に表示することが困難となり、従って各CPUの実行状態を観察する

のに、同一の時間軸を用いることができず、多くの時間を必要とするという問題点が生じていた。

本発明は各CPUの実行に対するヒストリの収集をヒストリメモリに格納し、クロック制御によりヒストリの収集を同時に開始することを可能とすることを目的とする。

(課題を解決するための手段)

第1図は本発明の原理ブロック図である。

複数のCPU1, 2, 3が共通バス4を介してメインメモリ5に接続される並列計算機システムの各CPUにおいて、ヒストリメモリ手段6は、各CPUの実行状態を示す内容を格納し、アクセス手段7は、ヒストリメモリ手段6をアクセスするアドレスを格納するとともにそのアドレスを変化させ、ヒストリ収集同時開始手段8は、すべての前記CPU内にあるすべてのヒストリメモリ6への書き込みデータの書き込み制御、及び前記アクセス手段7のアドレス開始を同時に行うことを特徴とする。

タを格納する。ヒストリメモリ16の内容はヒストリデータの読み出し時に出力され、例えばサービスプロセッサ19等に共通バス14を介して入力され、ヒストリの内容を表示装置20を介して観測する。

CPU-1, CPU-2...CPU-Nの各CPUは同期クロックCLK-1, CLK-2...CLK-Nによって同期し、その各クロックがアドレスレジスタ17の更新に対する同期クロックとなっている。また、各アドレスレジスタ17にはクリア信号CLR-1, CLR-2...CLR-Nが入力され、これらの信号が入力された場合にはアドレスレジスタ17の内容は0となり、ヒストリメモリ16の0番地の指定となる。クリア信号CLR-1, CLR-2...CLR-Nは1のときアドレスレジスタ17(PTR-1, PTR-2...PTR-N)をリセットし、この時ヒストリの収集開始を指示することになる。

クロック信号CLK-1, CLK-2, ...

(作用)

本発明では共通バスに接続された複数のCPUの各CPU内にヒストリメモリ6を有し、各ヒストリメモリ6のヒストリの収集をクロック制御により同時に開始する。

(実施例)

本発明の実施例を図面を参照して説明する。

第2図は本発明の構成の第1の実施例である。同図において、CPU-1, CPU-2...CPU-Nは共通バス14に接続された複数のCPUで、MEMは各CPUがアクセス可能な共通メモリ15である。各CPUにおいて、16はヒストリメモリ、17はヒストリメモリをアクセスするアドレスレジスタ、18はアドレスレジスタの内容をインクリメントするインクリメントであり、アドレスレジスタ17と、インクリメント18によってアドレスカウンタを構成するものである。ヒストリメモリ16はアドレスレジスタ17によって指定される番地にその時点でのヒストリデー

CLK-Nは対応するヒストリメモリ17への書き込み、及び対応するアドレスレジスタ16へインクリメント18の出力のセッティングを指示するものである。クロック信号CLK-1, CLK-2, ...CLK-Nが1のときヒストリメモリ16及びアドレスレジスタPTR-1, PTR-2, ...PTR-Nへ入力の信号を書き込むことになる。この第1の実施例においてはまず、クリア信号CLR-1, CLR-2, ...CLR-NによりアドレスレジスタPTR-1, PTR-2, ...PTR-Nの値を0にする。そしてクロック信号CLK-1, CLK-2, ...CLK-Nによりヒストリメモリ16(HS-1, HS-2, ...HS-N)にヒストリが記録され、インクリメント18(ADD-1, ADD-2, ...ADD-N)により1が加算される。この動作を続ければ、ヒストリメモリ16(HS-1, HS-2, ...HS-N)の0番地から1ずつアドレスがカウントアップされ、そのときに各クロック周期においてメインメモリ15へ入

力されるメインメモリのプログラムカウンタ（図示せず）の内容がヒストリメモリHS-1, HS-2, … HS-Nの対応するアドレスに格納される。この場合、全てのクリア信号CLR-1, CLR-2, … CLR-Nが同時に与えられない場合にはヒストリの収集開始時刻は異なるが、すべてのCPUにおいてクリア信号CLR-1, CLR-2, … CLR-Nを同時に入力し、さらにクロック信号CLK-1, CLK-2, … CLK-Nを同期をとることによりヒストリの収集開始時刻は同時となり、かつヒストリ収集タイミングも同時となる。ヒストリの収集開始時刻は同時に行えば、異なるCPU間のヒストリを同一時間軸を用いて比べることができる。

第3図は本発明の構成の第2の実施例図である。同図において第2図と同じ記号のものは同じ番号が示されている。16はヒストリメモリ、17はアドレスレジスタ、18はアドレスレジスタ17の内容をインクリメントするインクリメント、15は共通メモリで、14は共通バスである。第2

の実施例においては、各CPU内にあるヒストリメモリ16 (HS-1, HS-2, … HS-N) のヒストリの収集を同時に開始するクロック制御を効率よく行うために、クロック信号とフラグの値のANDをとるAND回路21及びフラグをセットするフリップフロップ22がある。このフラグ用フリップフロップ22はヒストリの収集を行うかどうかのフラグをセットするもので、フラグが1のときヒストリを収集することを意味し、0のときヒストリを収集しないことを示す。

フラグフリップフロップ22に入力する信号はセット信号とリセット信号であり、セット信号は対応するフラグの値を1にする信号で、リセット信号は対応するフラグの値を0にする信号である。このフラグフリップフロップ22においては、初期時においてフリップフロップFLAG-1, FLAG-2, … FLAG-Nの値はすべて0にし、クリア信号CLR-1, CLR-2, … CLR-NによりアドレスレジスタPTR-1, PTR-2, … PTR-Nの値を0にする。

従って、ヒストリメモリHS-1, HS-2, … HS-Nに供給されるクロック信号は一旦停止する。従ってヒストリメモリの指定される番地は0となる。これがヒストリの収集開始の指示である。それからフラグの値を1にするためのセット信号SET-1, SET-2, … SET-Nを各CPU-1, CPU-2, … CPU-Nに入力し、フラグの値を1にする。それ以後、クロック信号CLK-1, CLK-2, … CLK-Nにより、ヒストリメモリHS-1, HS-2, … HS-Nにメインメモリのプログラムカウンタの値が書き込まれてヒストリがとられ、同じクロック周期において、インクリメントADD-1, ADD-2, … ADD-Nが1加算され次のクロックにおいてアドレスレジスタPTR-1, PTR-2, … PTR-Nの内容が1だけ加算されることになる。この動作を繰り返すことにより、各クロック周期においてヒストリメモリHS-1, HS-2, … HS-Nに入力されるプログラムカウンタの内容がヒストリメ

モリHS-1, HS-2, … HS-Nの指定されるアドレスに格納される。このようにフラグとクロックとのAND回路AND-1, AND-2, … AND-Nを設置し、クロックを停止した後、フラグをセットし、それ以後入力されるクロック信号によってヒストリメモリHS-1, HS-2, … HS-Nにプログラムカウンタの内容をセットすることにより、異なるCPU間のヒストリ収集開始時刻を同一にすることが可能となる。

従ってCPU間のヒストリ内容の比較ができることになり、これによりCPU間の動作関係を調べることが可能となる。なお、ヒストリメモリ16の内容の収集は適当な時刻においてヒストリメモリ16から読み出され、バスを介してサービスプロセッサ19に与えられ、サービスプロセッサ19に接続されたディスプレイ表示装置20上に各CPUの内容を表示装置に表示することにより、ヒストリが観測することが可能となる。

なお、第3図の実施例においてリセット信号R

SET-1, RSET-1, . . . RSET-N
とクリア信号CLR-1, CLR-2, . . . CLR-Nを同一信号を用いることにより、フラグフリップフロップ22とアドレスレジスタ17を同時にリセットしてもよい。

第4図は本発明によるヒストリ収集の表示形式である。例えばCPUが3台ある場合には、CPU-1、CPU-2、CPU-3は0から6までのクロック周期において第4図に示すように0クロック目ではCPU-1が実行され、1クロック目においてもCPU-1、2クロック目と、3クロック目はCPU-1からCPU-3まではすべて停止状態である。そして、4クロック目においてCPU-2が実行され、クロック周期5は実行しているCPUはなく、クロック周期6においてCPU-2とCPU-3が同時に実行されることが示されている。

このように本発明では各ヒストリメモリのヒストリ収集を同時に開始するようにクロック制御を行っているために並列計算機の各CPU間のヒス

トリメモリの内容を比較することができ、CPU間の動作関係を調べることが可能で、デバック時における各CPUのヒストリの内容あるいは、並列計算機の並列度に対する評価結果をヒストリメモリの内容により観測することが可能となる。

(発明の効果)

本発明によれば、異なるCPU間のヒストリ収集開始時刻が同一になるため、CPU間のヒストリ内容の比較ができ、さらにCPU間の動作関係を調べることが可能となり、並列計算機のデバック及び評価の効率を向上することができる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

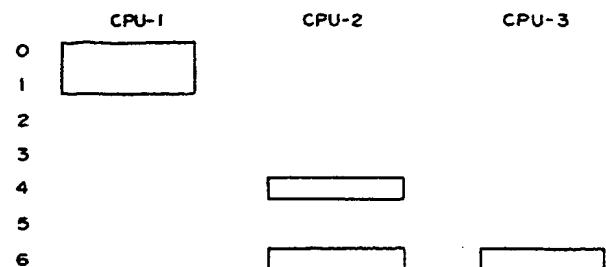
第2図は本発明の構成の第1の実施例の構成図、

第3図は本発明の構成の第2の実施例の構成図、

第4図は本発明によるヒストリ収集の表示形式を示すタイミング図である。

4 . . . 共通バス、

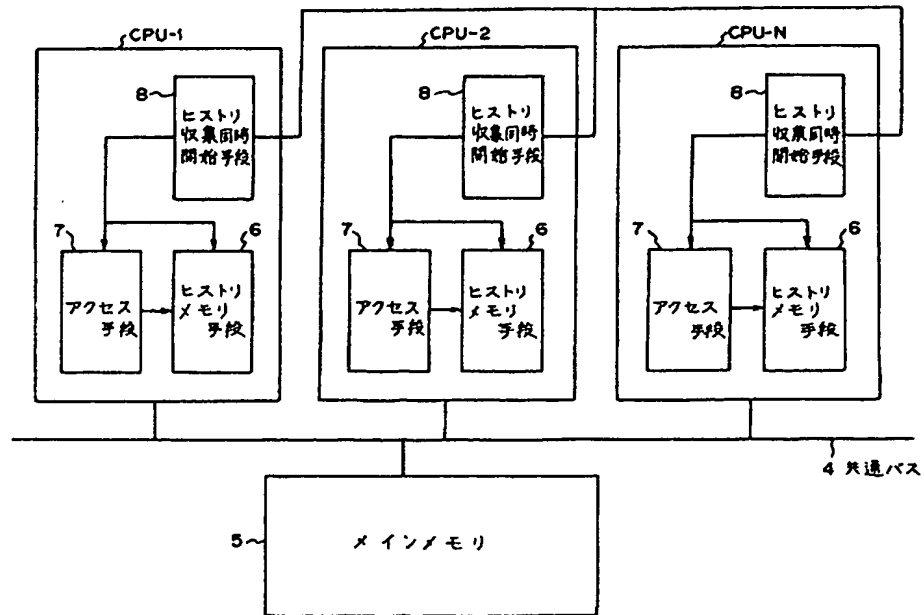
- 5 . . . メインメモリ、
- 6 . . . ヒストリメモリ手段、
- 7 . . . アクセス手段、
- 8 . . . ヒストリ収集同時開始手段、



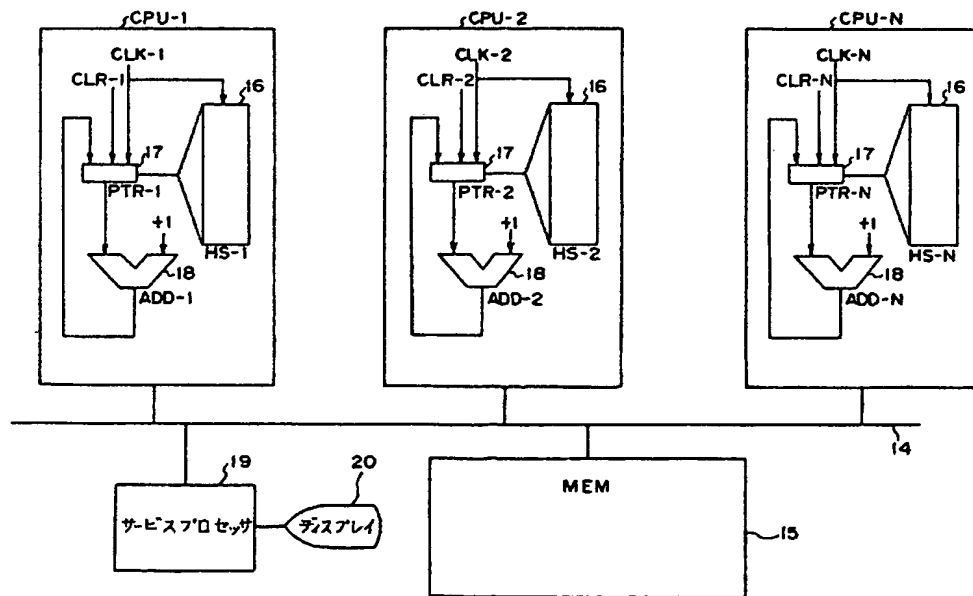
特許出願人 工業技術院長 飯塚 幸三

本発明によるヒストリ収集の表示形式を示すタイミング図

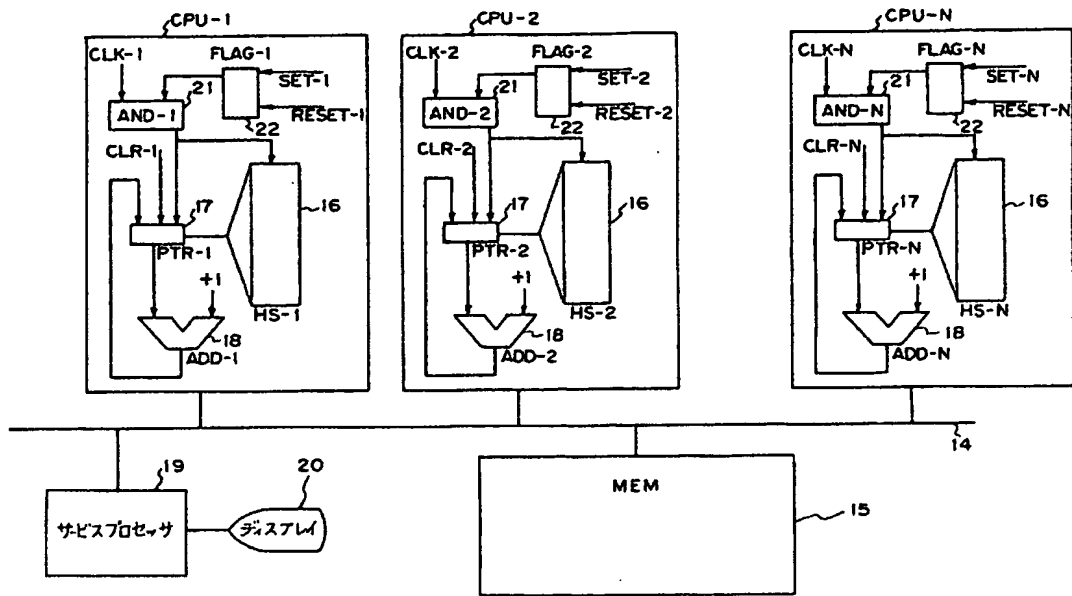
第4図



本発明の処理ブロック図
第1図



本発明の構成の第1の実施例の構成図
第2図



本発明の構成の第2の実施例の構成図
第3図